

CLIPPEDIMAGE= JP361070872A
PAT-NO: JP361070872A
DOCUMENT-IDENTIFIER: JP 61070872 A
TITLE: SOLID-STATE IMAGE PICKUP
DEVICE

PUBN-DATE: April 11, 1986

INVENTOR-INFORMATION:

NAME
ANDO, HARUHISA
AKIYAMA, TOSHIYUKI
NAKAI, MASAAKI
OBA, SHINYA
KOIKE, NORIO
OZAKI, TOSHIBUMI
ONO, HIDEYUKI

1, ABC

ASSIGNEE-INFORMATION:

NAME
COUNTRY
HITACHI LTD
N/A

APPL-NO: JP59191564
APPL-DATE: September 14, 1984

INT-CL_(IPC): H04N005/335

ABSTRACT:

PURPOSE: To suppress a blooming phenomenon and random noise by supplying a video bias with the aid of a feedback resistance of a pre-amplifier which employs a signal read system of a current detection-type and consists of MOS-type solid state-image pickup elements and setting a reset voltage equal to that of the video bias.

CONSTITUTION: Signal charges built-up in photodiodes 1 arrayed two-dimensionally are transferred to a vertical signal line 3 through vertical switches 2 sequentially selected by a vertical shift register 6. The charges are subjected to the current/voltage conversion by a

feedback resistance 16 through horizontal switches 4 sequentially selected by a horizontal shift register 7 so as to be outputted. When a horizontal reset transistor 8 is turned on, some part of the charges transferred to the vertical signal line are swept out to a drain line 10. An output voltage 17 of a pre-amplifier 15 is inputted to a differential amplifier 20 through a sample and hold circuit 18 and a low-pass filter 19, and its output is fed back and transmitted to the drain 10 of a horizontal rest transistor.

COPYRIGHT: (C)1986, JPO&Japio

⑯ 公開特許公報 (A)

昭61-70872

⑯ Int.Cl.
H 04 N 5/335識別記号
厅内整理番号
6940-5C

⑰ 公開 昭和61年(1986)4月11日

審査請求 未請求 発明の数 1 (全6頁)

④ 発明の名称 固体撮像装置

② 特願 昭59-191564
② 出願 昭59(1984)9月14日

⑦ 発明者 安藤 治久 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発明者 秋山 俊之 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発明者 中井 正章 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 発明者 大場 信弥 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦ 代理人 弁理士 高橋 明夫 外1名

最終頁に続く

明細書

発明の名称 固体撮像装置

特許請求の範囲

半導体基板上に二次元状に設けられた光電変換素子と、該光電変換素子を選択する走査回路と、及び上記光電変換素子からの光信号を取り出す信号読出部とから成り、さらに信号蓄積期間中にあふれ出す過剰電荷を外部に掃き出すスイッチを設けた固体撮像素子において、信号読出部の電圧を、水平ブランкиング期間あるいは垂直ブランкиング期間に、サンプル・ホールドし、低域通過フィルタを介して電圧フォロワに入力し、その出力電圧を過剰電荷掃き出し端子に入力することを特徴とする固体撮像装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は、ブルーミング現象を抑止できる固体撮像素子装置に関するものである。

〔発明の背景〕

従来の装置は、特開昭54-96321号(その

第5図)に記載のように、ビデオ電圧電源7と検出抵抗8とで信号を検出し、かつ、電源7はリセツトトランジスタ141~144のドレイン電圧を与える構成となつてゐる。しかし、ランダム雑音に対する配慮はなされていなかつた。

以下に、この点について第6図を用いて詳しく説明する。同図は、特開昭54-96321号の第5図に示されているものに、ビデオアンプ系101を付加したものである。すなわち、信号出力線4に、容量102を介して、アンプ104を接続し、このアンプの入力、出力端には帰還抵抗103を接続し、信号電流を電圧に変換するものである。この素子の動作原理については、特開昭54-96321号を参照されたい。ここでは、素子外部に付加される、バイアス抵抗8、ビデオアンプ系101から発生するランダム雑音について説明する。この外部回路により発生するランダム雑音I.は次式で表わすことができる。

14, 15, 16

$$\overline{I_{\text{out}}^2} = 4kT \int_0^{\infty} \left(\frac{1}{R_{\text{in}}^2} + \frac{1}{Z_1^2} \right) \cdot R_{\text{in}} + \frac{1}{R_{\text{in}}} + \left(\frac{1}{Z_1} \cdot \frac{Z_2}{Z_2 + R_{\text{in}}} \right)^2 \cdot R_{\text{in}} \) df \quad \dots (1)$$

ここで、

$$Z_1 = j\omega C_1 + \frac{1}{R_{\text{in}}} \quad \dots (2)$$

$$Z_2 = j\omega C_2 + \frac{1+G}{R_{\text{in}}} \quad \dots (3)$$

とした。上式において k はボルツマン定数、 T は絶対温度、 R_{in} はプリアンプ帰還抵抗、 C_1 はプリアンプ入力端につながるインピーダンスで、その容量分 C_1 は信号出力線 4 の容量、 ω は角周波数、 R_{in} はバイアス用抵抗 G である。 R_{in} はプリアンプの等価入力雑音抵抗を表わし、アンプの雑音性能を示すものである。 Z_2 は(3)式に示したように、信号線容量 C_2 とプリアンプ帰還抵抗 R_{in} 、およびプリアンプの電圧ゲイン G の関数である。 f は、観測する信号の周波数の上限値を意味する。

流検出形であり、プリアンプとして抵抗帰還形のものが用いられる。このプリアンプのランダム雑音は、入力端につながるインピーダンスが小さければ大きくなる性質があるため、従来の検出抵抗は不要なランダム雑音を発生していた。そこで、この検出抵抗を除去するために、プリアンプの帰還抵抗によりビデオバイアスを供給し、かつ、リセット電圧も同電位になる回路方式を見出した。

〔発明の実施例〕

以下、本発明の一実施例を第1図を用いて説明する。二次元状に配列されたホトダイオード 1 に蓄積した信号電荷は、垂直シフトレジスタ 6 によつて順次選択される垂直スイッチトランジスタ 2 を介して、垂直信号線 3 に転送される。さらに、これらの電荷は、水平シフトレジスタ 7 によつて順次選択される水平スイッチトランジスタ 4 を介して、水平信号線 14 に出力され、プリアンプ 15、帰還抵抗 16 によつて電流-電圧変換され出力される。

一方、ブルーミング信号については、水平ブ

容量 102 は交流信号を伝達するために設けられており、この値は十分大きいので、(1)式の中に表われない。(1)式において、被積分項のうち、第1項はプリアンプ(主に初段 FET)の雑音による成分、第2項は、プリアンプ帰還抵抗の熱雑音、第3項は、バイアス用抵抗 G による熱雑音である。バイアス用抵抗 G があると、第1項の R_{in} の係数が増加すると共に、第3項が表われ、ランダム雑音が不要に大きくなることがわかる。したがつて、ランダム雑音を抑圧する為には、このバイアス用抵抗を取り去ることが要求されるが、結線変更だけでは不可能である。本発明は、この不要な抵抗をどのようにして除去するかに関するものである。

〔発明の目的〕

本発明の目的は、ブルーミング現象の抑圧、およびランダム雑音を抑圧できる固体撮像装置を提供することにある。

〔発明の概要〕

MOS型固体撮像素子の信号読み取り方式は、電

ンキング期間中に、次の様に処理する。垂直リセットトランジスタ 11 のゲート 12 を ON すると、各垂直スイッチトランジスタ 2 のゲート電圧は、リセットトランジスタのドレイン 13 の電圧になる。この時、垂直スイッチトランジスタのゲート電圧 V_g を次式の条件を満たす様に選べば、ホトダイオードの飽和信号電荷の一部が垂直信号線 3 上に移される。

$$V_{\text{reset}} - V_{\text{th}} < V_g - V_{\text{th}} < V_v \quad \dots (1)$$

ここで

V_{reset} ：垂直シフトレジスタの出力パルスの低レベル電圧

V_{th} ：垂直スイッチトランジスタのしきい電圧

V_v ：垂直リセット・トランジスタのドレイン電圧

V_v ：垂直信号線の電圧

さて、垂直信号線に移された飽和信号電荷の一部は、水平リセット・トランジスタ 8 のゲート 9 を ON することにより、リセット・トランジスタ

のドレイン線 10 に揚き出される。このドレイン線の電圧は、プリアンプ出力端から抵抗 16 によつて供給される電圧と等しくする必要がある。もし、両者の電圧に差があると、電位差と垂直信号線容量の積で交わされるバイアス電荷が信号電荷に重疊し、プリアンプの異常動作を引き起す。またバイアス電荷のばらつきは、直接、固定パターン雑音となり、著しく画質を劣化させる。したがつて、水平信号線の電圧と水平リセット・トランジスタのドレイン線の電圧を等しくすることが重要である。水平プランギング期間中では、水平信号線の電位とプリアンプ出力電圧が等しくなつてゐるので、プリアンプ出力電圧 17 を水平リセット・トランジスタのドレイン線 10 に与えればよい。水平プランギング期間中のプリアンプ出力電圧 17 は、サンプル・ホールド回路 18 によりサンプル・ホールドされ、この時発生するスイッチ雑音の影響を無くするための低域通過フィルタ 19 を介して差動アンプ 20 に入力され、その出力を負帰還することにより電圧フォロワとして

本発明の別の実施例を図 3 に示す。同図における 31～52 は、第 1 図における 1～22 と同じものである。本実施例では、水平プランギング期間中に、プリアンプ入力端の電圧をスイッチング・トランジスタ 53 を介してサンプル・ホールド回路 48 に伝える構成としている。ここで 54 はトランジスタのゲートであり、サンプル・ホールド回路のゲート 51 と共通にすることもできる。水平走査期間中には、トランジスタ 53 は OFF になつており、プリアンプ入力端につながる付加容量は小さくなる。

以上の実施例では、ビデオ電圧のサンプリングを水平プランギング期間内に行なう場合について説明したが、垂直プランギング期間内のみに行なうようにしてもよい。また、本実施例で示したバイアス供給回路は他の撮像素子、例えば特願昭 58-18588 に記載の固体撮像素子にも適用でき、以下に説明する。

第 4 図に、本発明の別の実施例を示す。

先ず (I) 画素に 2 個の MOS トランジスタ・ス

動作させ、水平リセット・トランジスタのドレイン 10 に伝える。ここで 21 はサンプル・ホールド回路のゲートである。したがつて、プリアンプ出力電圧と等しい電圧を水平リセット・トランジスタのドレイン 10 に伝えることができる。また容量 22 は、外来雑音に対する影響を無くするためのものであり、付加した方が確実であるが無くても良い。

第 2 図は、第 1 図の実施例に対するパルスタイミングを示したものである。ここで、 V_{17} はプリアンプ出力端の信号の電圧波形、 V_{21} はサンプル・ホールド回路のゲートパルス、 V_{31} はサンプル・ホールド回路の出力電圧波形、 V_{41} は低域通過フィルタの出力電圧波形、 V_{51} は差動アンプ 20 の出力電圧、すなわち、水平リセット・トランジスタのドレイン電圧であり、垂直信号線には V_{51} の電圧が印加されることを示す。

この実施例では、プリアンプの入力端につながるインピーダンスは必要不可欠のものだけであり、ランダム雑音の抑圧が可能となる。

イッチ 131, 132 を直列接続するが、フォト・ダイオード 113 から MOS トランジスタ 132, 131 の順序で接続し、水平信号線 136 に光信号を送出している。これにより、水平走査においてチャージ・ポンプ現象がフォト・ダイオード 113 に影響を及ぼさないようにしている。(II) リセット・ライン 147 を設けて、スマート信号、チャージ・ポンプ電流を排除し、かつフィールドごとに全面素の信号を読み出すようにして、残像をなくしている。(III) スイッチ 117 を設けてインターレース方式を可能にしている。(IV) 複数本の信号出力線 149, 150 を設け、半板カラー撮像に適した水平 2 行の同時走査を可能にしている。

これらの動作について、さらに詳しく説明する。すなわち、画素においては、フォト・ダイオード 113 に垂直 MOS トランジスタ・スイッチ 132 を接続し、このトランジスタ 132 と水平信号線 136 の間に水平 MOS トランジスタ・スイッチ 131 を接続する。次に、走査については、

インターレース・スイッチ117により2行同時に行なう。すなわち、インターレース・スイッチ117が上方に切換え接続されると、垂直シフト・レジスタ111の出力により、最初の水平走査期間には2行の垂直MOSトランジスタ132がすべてオン状態になり、さらに短かい周期で水平走査期間に移つて、水平シフト・レジスタ112からの出力により2行の水平MOSトランジスタ131が次々にオン状態となる。これにより、フォト・ダイオード113R, 113Gの光信号が水平信号線136に移され、垂直シフト・レジスタ111の出力によつて垂直スイッチMOSトランジスタ137がオン状態となるので、2行分の水平信号線136に送出された光信号は、それぞれ別個の垂直信号線141, 142に移される。これによつて、水平2行の光信号を独立した信号出力線149, 150に同時に输出することができる。

インターレース方式が実現できるので、各フィールドごとに全画素の信号を読み出すことができ、

ポンプ電荷は、水平走査期間ごとに排出され、全く問題とならなくなる。すなわち、水平信号線136には大きな寄生容量が存在し、ここにブルーミング電荷およびスマア電荷が1水平走査期間の長い間蓄積されるが、リセット用MOSトランジスタ148によりこれらをすべて放電させて、スマアは第1図の場合の1/400に低下する。なお、水平信号線136はアルミニウム(Al)等の金属を用い、垂直走査線133は多結晶シリコン(Si)等のゲート配線材料を用いるが、殆どの部分を重疊して形成することができる。この結果として、フォト・ダイオード113の開口を増加させることができ、しかも前述のように内部雑音がなくなるので、感度が大幅に向上する。

第5図は、本発明の別の実施例である。図中、311～350は第4図における111～150と同じである。また、445～452は第3図における45～52と同じである。本実施例では、水平(あるいは垂直)ブランディング期間中に、ブリアンブ入力端の電圧をスイッチング・トランジ

視覚上目ざわりな等価残像は生じない。また、カラー撮像では、複数の色信号を同時に出力しなければならないが、第4図では、垂直信号線を複数本設けているため、カラー化が可能であり、特に単板カラー化に適したものとなる。なお、モノクロ素子として用いる場合には、垂直信号線141, 142を1本にまとめてよい。

次に、リセット用MOSトランジスタ148には、各水平走査のブランディング期間ごとにリセット・ライン147を介して正のパルスが印加され、全水平信号線136をビデオ出力149, 150の電圧にリセットする。具体的には、帰還抵抗216をもつブリアンブ215の出力電圧をサンプル・ホールド回路218によつてサンプルホールドし、低域通過フィルタ219を介して電圧フォロワ220により、リセット・ライン147にビデオ電圧を与える。ここで、221はサンプル・ホールド回路のゲート、222は容量である。

この手段により、水平信号線136の受け取るブルーミング電荷、スマア電荷、およびチャージ

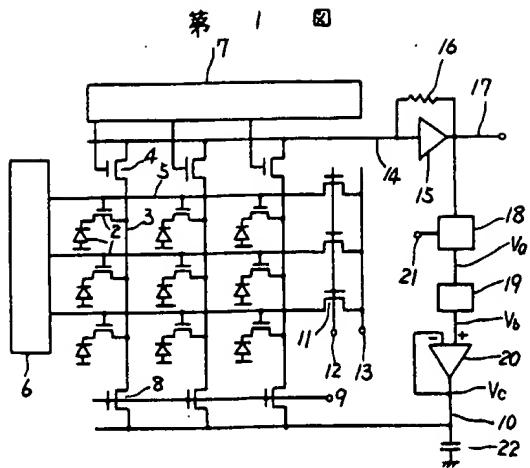
スタ453を介してサンプル・ホールド回路448に伝える構成としている。ここで、454はトランジスタのゲートであり、サンプル・ホールド回路のゲート451と共にすることもできる。水平走査期間中には、トランジスタ453はOFFになつており、ブリアンブ入力端につながる付加容量は小さくすることができる。

〔発明の効果〕

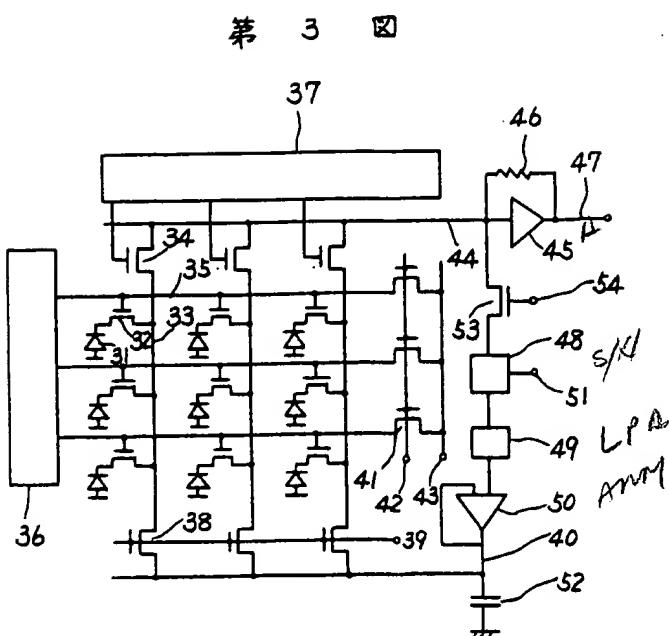
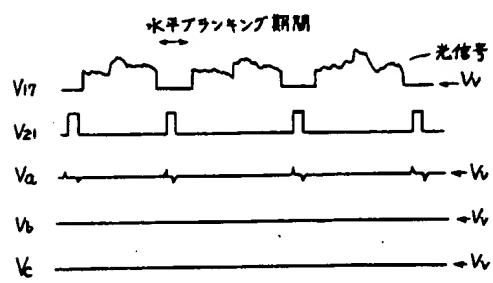
本発明によれば、ブルーミング抑圧は勿論、ランダム雑音の抑圧が可能で、電圧調整が全く不要な固体撮像装置が実現できる。

図面の簡単な説明

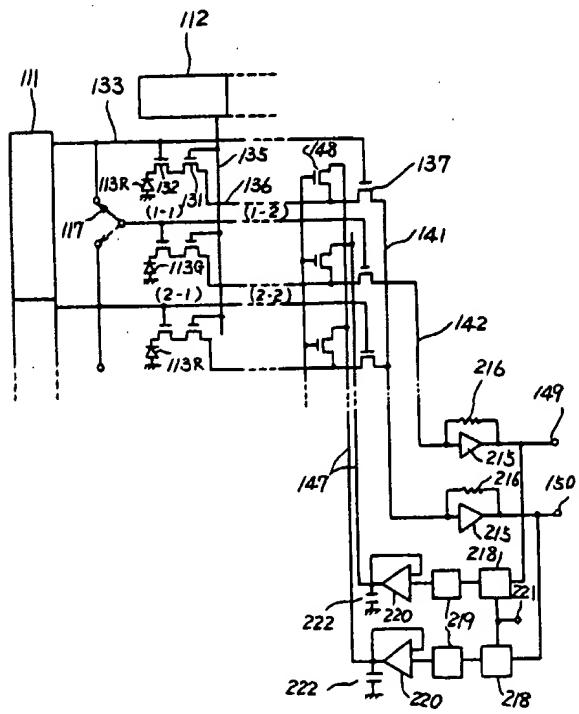
第1図は、本発明の回路構成図、第2図は、第1図の回路に対するタイミング・チャート、第3, 4, 5図は、本発明の別の実施例を示す回路図である。第6図は、従来素子の回路構成図である。15…ブリアンブ、16…帰還抵抗、18…サンプル・ホールド回路、19…低域通過フィルタ、20…電圧フォロワ、22…容量、10…水平リセット・ドレイン。



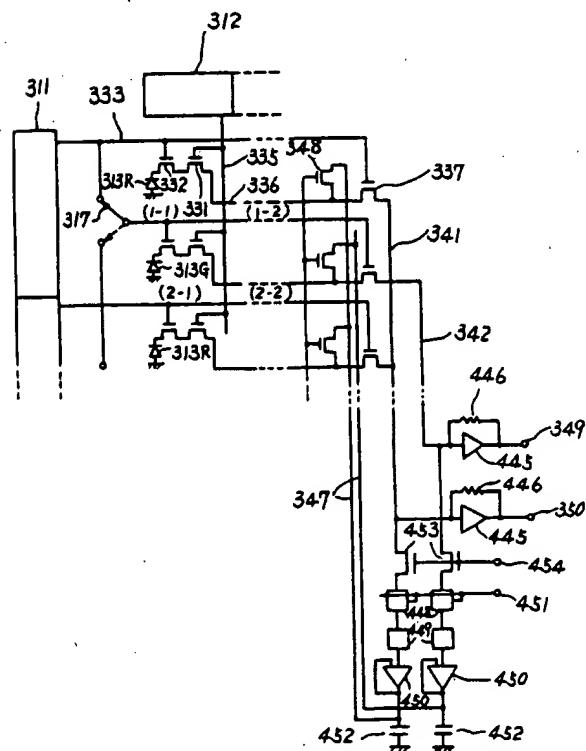
第 2 四



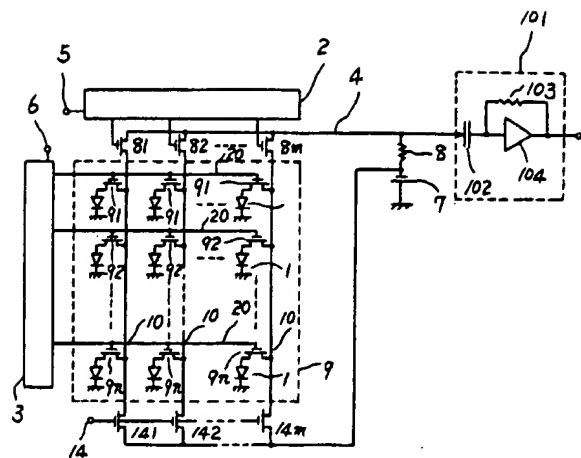
第 4 四



第 5 図



第 6 四



第1頁の続き

⑦発明者 小池 紀雄 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑦発明者 尾崎 俊文 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑦発明者 小野 秀行 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内